

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年7月8日 (08.07.2004)

PCT

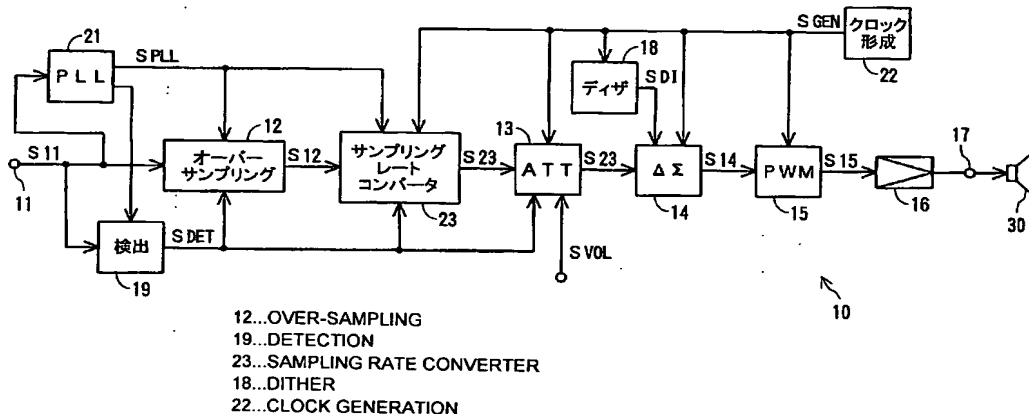
(10) 国際公開番号  
WO 2004/057757 A1

- (51) 国際特許分類: H03F 3/217, H03M 3/02  
(21) 国際出願番号: PCT/JP2003/015916  
(22) 国際出願日: 2003年12月12日 (12.12.2003)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2002-369703  
2002年12月20日 (20.12.2002) JP  
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).  
(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 大栗 一敦 (OHKURI, Kazunobu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).  
増田 稔彦 (MASUDA, Toshihiko) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).  
(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).  
(81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: AUDIO AMPLIFIER

(54) 発明の名称: オーディオアンプ



(57) Abstract: Noise during muting can be suppressed in an audio amplifier having a D-class power amplifier. The audio amplifier includes a sampling rate converter circuit (23) for sampling-rate converting a digital audio signal S11 into a digital audio signal S23 and a  $\Delta\Sigma$  modulation circuit (14) for re-quantizing the digital audio signal S23 into a digital audio signal S14 having a smaller number of bits. The audio amplifier further includes a PWM modulation circuit (15) for converting the digital audio signal S14 into a PWM signal S15 and a D-class power amplifier (16) supplied with this PWM signal S15. Moreover, there are provided a dither signal formation circuit (18) for superimposing a dither signal SDI on the digital audio signal S23 and a circuit (19) for forming a muting signal SDET. During muting, the muting signal SDET stops the input side of the sampling rate converter circuit (23).

(57) 要約: D級パワーアンプを有するオーディオアンプにおいて、ミュート時のノイズを抑制する。デジタルオーディオ信号S11をデジタルオーディオ信号S23にサンプリングレート変換するサンプリングレートコンバータ回路23と、デジタルオーディオ信号S23をビット数の少ないデジタルオーディオ信号S14に再量子化する $\Delta\Sigma$ 変調回路14とを設ける。デジタルオーディオ信号S14をPWM信号S15に変換するPWM変調回路15と、このPWM信号S15が供給されるD級パワーアンプ16とを設ける。デジタルオーディオ信号S23にディザ信号SDIを重ねるディザ信号形成回路18と、ミュート信号SDETを形成する回

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明 細 書

## オーディオアンプ

5

## 技術分野

この発明は、オーディオアンプに関する。

## 背景技術

10     オーディオアンプにおいて、その最終段のパワーアンプをいわゆるD級アンプにより構成すれば、全体をデジタル化することができ、デジタルオーディオアンプとすることができる。

図3は、そのようなデジタルオーディオアンプの一例を示す。すなわち、デジタルオーディオ信号S11が、入力端子11から  
15     オーバーサンプリング回路12に供給されて、サンプリング周波数が例えば8倍のデジタル信号S12にオーバーサンプリングされ、このデジタル信号S12が、音量調整用の可変アッテネータ回路13を通じて $\Delta\Sigma$ 変調回路14に供給され、ビット数を低減したデジタル信号S14に再量子化される。そして、この  
20     デジタル信号S14がPWM変調回路15に供給されてPWM信号S15に変換され、このPWM信号S15がD級動作のパワーアンプ16に供給される。

このパワーアンプ16は、PWM信号S15にしたがって電源電圧をスイッチングすることにより電力増幅をするスイッチング回路と、そのスイッチング出力を平滑することによりD/A変換および電力増幅されたアナログオーディオ信号を出力  
25

するローパスフィルタとから構成される。そして、このパワーアンプ 16 により電力増幅されたオーディオ信号が、出力端子 17 を通じてスピーカ 30 に供給される。

さらに、システムコントローラ（図示せず）において、音量制御信号 S VOL が形成され、この信号 S VOL が可変アッテネータ回路 13 にその制御信号として供給される。したがって、音量調整用のスイッチを操作すると、可変アッテネータ回路 13 の減衰レベルが変化してスピーカ 30 から出力される再生音の音量が変更される。

また、このとき、 $\Delta \Sigma$ 変調回路 14 は量子化誤差のフィードバックループを有しているので、可変アッテネータ回路 13 から  $\Delta \Sigma$ 変調回路 14 に供給されるデジタル信号 S 12 の内容がゼロのときでも、 $\Delta \Sigma$ 変調回路 14 からは何らか値を持つデジタル信号 S 14 が出力されてしまい、このデジタル信号 S 14 が特定の周波数のノイズ音としてスピーカ 30 から出力されてしまう。

そこで、ディザ信号形成回路 18 において、微小レベルのディザ信号 S DI が形成され、このディザ信号 S DI が  $\Delta \Sigma$ 変調回路 14 に供給されて再量子化されるときにデジタル信号 S 12 に重畳される。したがって、可変アッテネータ回路 13 から出力されるデジタル信号 S 12 の内容がゼロのときでも、 $\Delta \Sigma$ 変調回路 15 の実質的な入力信号の内容はゼロにはならないので、ノイズ音の出力されることが抑制される。

さらに、デジタル信号 S 11 を提供するソース機器の切り換えなどにより、入力端子 11 に供給されるデジタル信号 S 11 が切り換えられたり、途切れたりした場合、デジタル信号 S 11 の同

期が一時的に乱れ、この同期の乱れがノイズ音としてスピーカ 30 から出力されてしまう。

そこで、入力端子 11 に供給されたデジタル信号 S11 が非同期検出回路 19 に供給されてデジタル信号 S11 の同期の乱れが検出される。そして、この検出信号 SDET が回路 12 ~ 14 にミューティング信号として供給され、デジタル信号 S11 の同期が乱れたとき、信号 S12、S14 の内容がゼロとされ、この結果、スピーカ 30 から出力される再生音がミューティングされる。

以上が、最終段のパワーアンプ 17 を D 級アンプにより構成したオーディオアンプの一例である（例えば、特開 2002-158543 号公報参照）。

ところで、図 3 に示すようなオーディオアンプの場合、非同期検出回路 19 の検出信号 SDET によりミューティングがかかったとき、 $\Delta\Sigma$  変調回路 14 において、デジタル信号 S12 がミューティングされると同時に、ディザ信号 SDI もミューティングされる。したがって、ミューティング時には、ディザ信号 SDI が急激に遮断されることになるので、この急激な遮断によりノイズ信号が発生してしまい、これがスピーカ 30 からノイズ音として出力されてしまう。

また、ディザ信号 SDI は微小レベルであるが、ディザ信号 SDI の有無はノイズレベルの違いとして知覚できる。このため、ミューティングがかかると、ディザ信号 SDI がミューティングされてノイズレベルが変化するが、入力デジタル信号 S11 の内容がゼロ（ないし微小レベル）の場合には、そのノイズレベルの変化が知覚されてしまい、違和感を生じてしまう。

この発明は、このような問題点を解決しようとするものである。

#### 発明の開示

5 この発明においては、例えば、

第1のデジタルオーディオ信号を、これに同期した第1のクロックおよび予め設定された周波数を有する第2のクロックにより、第2のクロックに同期した第2のデジタルオーディオ信号にサンプリングレート変換するサンプリングレートコン  
10 バータ回路と、

第2のデジタルオーディオ信号をビット数の少ない第3のデジタルオーディオ信号に再量子化する $\Delta\Sigma$ 変調回路と、

第3のデジタルオーディオ信号をPWM信号に変換するPWM変調回路と、

15 PWM変調回路から出力されるPWM信号が供給されるD級パワーアンプと、

$\Delta\Sigma$ 変調回路にディザ信号を供給して上記第3のデジタルオーディオ信号にディザ信号を重畳するディザ信号形成回路と、

20 ミューティング信号を形成する回路とを有し、

ミューティング時、ミューティング信号によりサンプリングレートコンバータ回路の入力側を停止させる

ようにしたオーディオアンプとするものである。

したがって、ミューティングにおいても、ディザ信号が継続  
25 して $\Delta\Sigma$ 変調回路に供給され、このディザ信号を有するデジタルオーディオ信号がPWM信号にコンバータされてD級パワ

ーアンプに供給される。

#### 図面の簡単な説明

図 1 は、この発明の一形態を示す系統図である。

5 図 2 は、この発明を説明するための図である。

図 3 は、この発明を説明するための系統図である。

#### 発明を実施するための最良の形態

図 1 は、この発明によるデジタルオーディオアンプ 10 の一例を示し、デジタルオーディオ信号 S 11 が、入力端子 11 からオーバーサンプリング回路 12 に供給される。また、入力端子 11 のデジタル信号 S 11 が PLL 21 に供給されてデジタル信号 S 11 に同期し、かつ、そのサンプリング周波数の  $n$  倍の周波数のクロック S PLL が形成され、このクロック S PLL がオーバーサンプリング回路 12 にそのオーバーサンプリング用のクロックとして供給される。この場合、オーバーサンプリングの倍率  $n$  は、デジタル信号 S 11 のサンプリング周波数に対応して、例えば図 2 に示すような値とされる。

こうして、オーバーサンプリング回路 12 において、これに供給されたデジタル信号 S 11 は、信号 S 11 に同期し、かつ、 $n$  倍のサンプリング周波数のデジタル信号 S 12 にオーバーサンプリングされる。

そして、このデジタル信号 S 12 が、サンプリングレートコンバータ回路 23 に変換入力として供給される。また、PLL 21 からのクロック S PLL がサンプリングレートコンバータ回路 23 に変換入力側のクロックとして供給される。

さらに、クロック形成回路 22 が、例えば水晶発振回路および分周回路により構成され、このクロック形成回路 22 からは、周波数が例えば  $49.152\text{MHz}$  ( $= 48\text{kHz} \times 1024$ ) で、安定な周波数および位相のクロック S GEN が取り出される。そして、この

5 クロック S GEN が、サンプリングレートコンバータ回路 23 に変換出力側のクロックとして供給される。こうして、サンプリングレートコンバータ回路 23 において、これに供給されたデジタル信号 S 12 は、サンプリング周波数が例えば周波数  $384\text{kHz}$  ( $= 48\text{kHz} \times 8$ ) で、安定な周波数および位相のデジタル信号 S 23 に変換される。

10

そして、このサンプリングレートの変換されたデジタル信号 S 23 が、音量調整用の可変アッテネータ回路 13 に供給され、システムコントローラ（図示せず）からの制御信号 S VOL によりレベルが制御され、このレベルの制御されたデジタル信号 S

15 12 が  $\Delta \Sigma$  変調回路 14 に供給され、ビット数を低減したデジタル信号 S 14 に再量子化される。なお、このとき、ディザ信号形成回路 18 において、微小レベルのディザ信号 S DI が形成され、このディザ信号 S DI が  $\Delta \Sigma$  変調回路 14 に供給されるデジタル信号 S 23 に重畳される。

20 そして、 $\Delta \Sigma$  変調回路 14 により再量子化されたデジタル信号 S 14 が、PWM 変調回路 15 に供給されて PWM 信号 S 15 に変換され、この PWM 信号 S 15 が D 級動作のパワーアンプ 16 に供給されて電力増幅され、その増幅出力が出力端子 17 を通じてスピーカ 30 に供給される。

25 なお、このとき、形成回路 22 からのクロック S GEN が、回路 13 ~ 15、18 にそれらのクロックとして供給される。し

たがって、サンプリングレートコンバータ回路 2 3 の出力側および回路 1 3 ~ 1 5、1 8 は、クロック S GEN に同期して動作していることになる。

さらに、入力端子 1 1 に供給されたデジタル信号 S 11 が非同  
5 期検出回路 1 9 に供給されるとともに、PLL 2 1 から入力デジタル信号 S 11 のサンプリング周波数に等しく、かつ、同期したクロックが取り出され、このクロックが非同期検出回路 1 9 に供給され、入力端子 1 1 に供給されたデジタル信号 S 11 の同期の乱れが検出される。

10 そして、この検出信号 S DET が、オーバーサンプリング回路 1 2、サンプリングレートコンバータ回路 2 3 の入力側および可変アッテネータ回路 1 3 にミューティング信号として供給され、デジタル信号 S 11 の同期が乱れたとき、信号 S 12 の内容がゼロとされるとともに、サンプリングレートコンバータ回路  
15 2 3 の入力側の動作が停止させられる。

このような構成によれば、入力端子 1 1 に供給されたデジタルオーディオ信号 S 11 は、そのサンプリング周波数にかかわらず、サンプリングレートコンバータ回路 2 3 によりサンプリング周波数が 384 k Hz のデジタル信号にサンプリングレート変換  
20 され、その後、PWM 信号 S 15 に変換されてから電力増幅され、スピーカ 3 0 に供給される。

そして、ソース機器の切り換えなどにより、入力端子 1 1 に供給されるデジタル信号 S 11 が切り換えられたり、途切れたりした結果、デジタル信号 S 11 の同期が一時的に乱れた場合、こ  
25 の同期の乱れが非同期検出回路 1 9 により検出され、その検出信号 S DET によりオーバーサンプリング回路 1 2 およびサンプ

リングレートコンバータ回路 23 の入力側の動作が停止させられる。したがって、検出信号 S DET の期間には、デジタル信号 S 12 が遮断されることになる。

しかし、この検出信号 S DET の期間にサンプリングレートコンバータ回路 23 の入力側の動作が停止しても、その出力側はクロック S GEN が供給されているとともに、動作が継続しているので、サンプリングレートコンバータ回路 23 からはデジタル信号 S 23 が連続して出力される。ただし、このとき、サンプリングレートコンバータ回路 23 の入力側の動作が停止しているとともに、可変アッテネータ回路 13 にも検出信号 S DET が供給されているので、可変アッテネータ回路 13 から出力されるデジタル信号 S 23 の内容はゼロである。

そして、このようなデジタル信号 S 23 が  $\Delta \Sigma$  変調回路 14 に供給されるとともに、この  $\Delta \Sigma$  変調回路 14 には検出信号 S DET は供給されていないので、検出信号 S DET の期間には、 $\Delta \Sigma$  変調回路 14 から内容がゼロのデジタル信号 S 14 が出力され、このデジタル信号 S 14 が PWM 変調回路 15 に供給される。したがって、検出信号 S DET の期間には、入力オーディオ信号 S 11 に対してミューティングがかかったことになる。つまり、検出信号 S DET の期間はミューティング期間である。

以上のようにして、図 1 に示すデジタルオーディオアンプにおいては、ミューティングが実行されるが、ミューティング期間にも、 $\Delta \Sigma$  変調回路 14 にはディザ信号 S DI が供給されているので、これに供給されるデジタル信号 S 23 の内容がゼロであっても、 $\Delta \Sigma$  変調回路 14 から特定の周波数のノイズ音となる信号成分の出力されることがない。

また、ミューティング期間にもディザ信号 S DIが  $\Delta \Sigma$  変調回路 1 4 に供給されるので、ミューティングがかかっていないときと、かかっているときとで、ノイズレベルとは等しくなる。したがって、入力デジタル信号 S 11の内容がゼロ（ないし微小レベル）の場合に、ミューティングがかかっても、ノイズレベルの変化が知覚されて違和感を生じることがない。

さらに、ミューティングがかかっていない状態からミューティングがかかるとき、およびミューティング状態からミューティングが解除されるとき、ディザ信号 S DIは継続しているので、ノイズ信号の発生することがなく、スピーカ 3 0 からノイズ音の出力されることがない。

〔この明細書で使用している略語の一覧〕

D / A : Digital to Analog

P L L : Phase Locked Loop

P W M : Pulse Width Modulation

#### 産業上の利用可能性

この発明によれば、入力デジタルオーディオ信号の内容がゼロないし微小レベルの場合にミューティングがかかっても、ノイズレベルの変化が知覚されて違和感を生じることがない。また、ミューティングがかかっていない状態からミューティングがかかるとき、およびミューティング状態からミューティングが解除されるとき、ノイズ信号の発生することがなく、スピーカからノイズ音の出力されることがない。

## 請求の範囲

1. 第1のデジタルオーディオ信号を、これに同期した第1のクロックおよび安定した所定の周波数の第2のクロックにより、該第2のクロックに同期した第2のデジタルオーディオ信号にサンプリングレート変換するサンプリングレートコンバータ回路と、

前記第2のデジタルオーディオ信号をビット数を低減した第3のデジタルオーディオ信号に再量子化する $\Delta\Sigma$ 変調回路と、

前記第3のデジタルオーディオ信号をPWM信号に変換するPWM変調回路と、

前記PWM変調回路から出力される上記PWM信号が供給されるD級パワーアンプと、

前記 $\Delta\Sigma$ 変調回路にディザ信号を供給して上記第3のデジタルオーディオ信号にディザ信号を重畳するディザ信号形成回路と、

ミューティング信号を形成する回路とを有し、

ミューティング時、前記ミューティング信号により前記サンプリングレートコンバータ回路の入力側を停止させるようにしたオーディオアンプ。

2. 前記ミューティング信号を形成する回路は、前記第1のデジタルオーディオ信号が非同期状態になったとき、これを検出する非同期検出回路とされ、

この非同期検出回路の検出信号を上記ミューティング信号とする

ようにした請求項 1 に記載のオーディオアンプ。

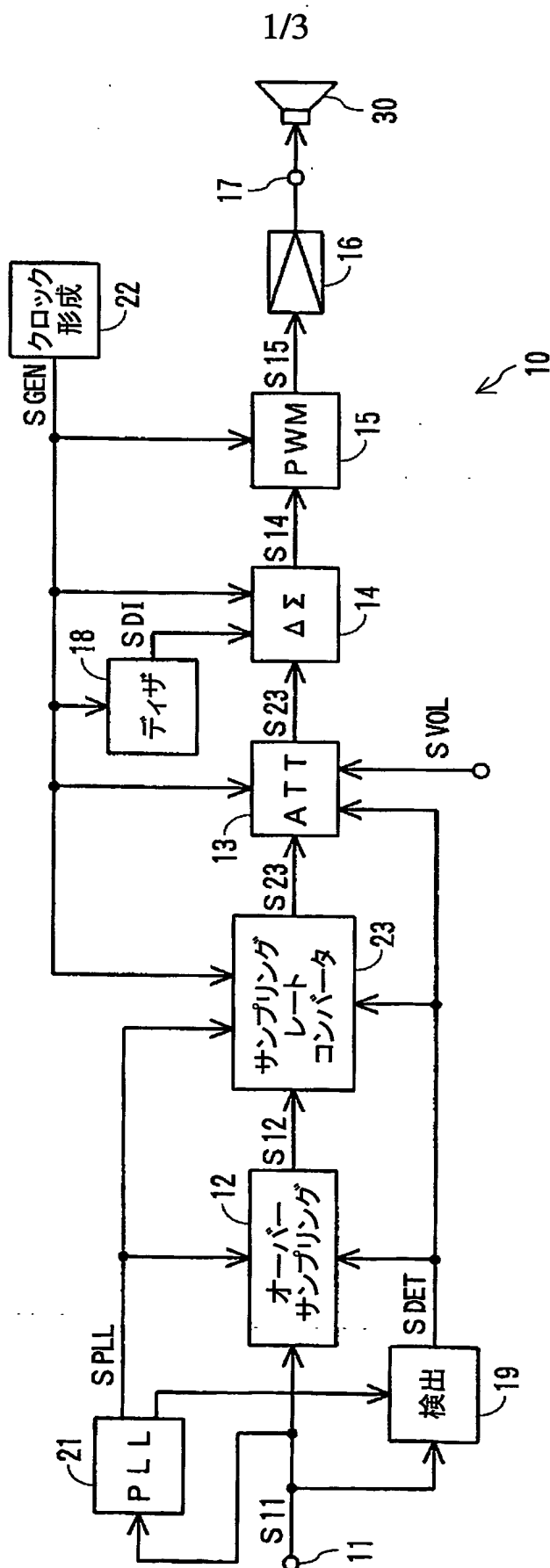


Fig. 1

2/3

信号S11のサンプリング周波数	倍率 n
32kHz, 44.1kHz, 48kHz	8 倍
96kHz	4 倍
192kHz	2 倍

Fig. 2

3/3

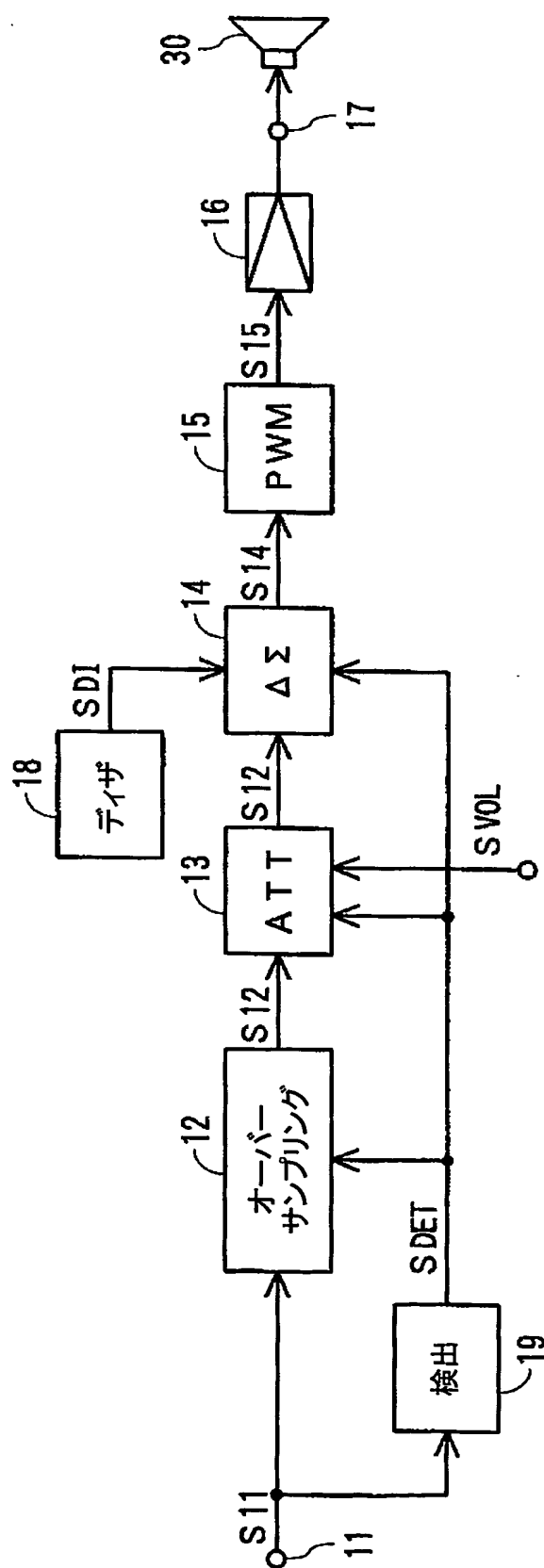


Fig. 3

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15916

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03F3/217, H03M3/02

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03F3/217, H03M3/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-115722 A (Yamaha Corp.), 16 April, 1992 (16.04.92), (Family: none)	1, 2
A	JP 2002-158543 A (Sony Corp.), 31 May, 2002 (31.05.02), (Family: none)	1, 2
A	JP 2001-237708 A (Alpine Electronics, Inc.), 31 August, 2001 (31.08.01), (Family: none)	1, 2
A	JP 2002-158550 A (Sony Corp.), 31 May, 2002 (31.05.02), (Family: none)	1, 2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
04 March, 2004 (04.03.04)

Date of mailing of the international search report  
16 March, 2004 (16.03.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03F3/217 H03M3/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03F3/217 H03M3/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2004年  
日本国登録実用新案公報 1994-2004年  
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 4-115722 A (ヤマハ株式会社) 1992. 04. 16 (ファミリーなし)	1, 2
A	JP 2002-158543 A (ソニー株式会社) 2002. 05. 31 (ファミリーなし)	1, 2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日  
04. 03. 2004

国際調査報告の発送日  
16. 3. 2004

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
佐藤 敬介

5W 9196

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2001-237708 A (アルパイン株式会社) 2001. 08. 31 (ファミリーなし)	1,2
A	J P 2002-158550 A (ソニー株式会社) 2002. 05. 31 (ファミリーなし)	1,2